



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

GUÍA DOCENTE DE ARQUITECTURA DE ORDENADORES

La presente guía docente corresponde a la asignatura Arquitectura de Ordenadores (ARQ), aprobada para el curso lectivo 2016-2017 en Junta de Centro y publicada en su versión definitiva en la página web de la Escuela Politécnica Superior. Esta guía docente de ARQ aprobada y publicada antes del periodo de matrícula tiene el carácter de contrato con el estudiante.



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

1. ASIGNATURA

Arquitectura de Ordenadores

1.1. Código

17834 del Grado en Ingeniería Informática

1.2. Materia

Estructura y Arquitectura de Computadores

1.3. Tipo

Obligatoria

1.4. Nivel

Grado

1.5. Curso

3º

1.6. Semestre

1º

1.7. Número de créditos

6 créditos ECTS

1.8. Requisitos previos

Es muy recomendable haber cursado las asignaturas Fundamentos de Computadores, Estructura de Computadores y Sistemas Basados en Microprocesadores.



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

1.9. Requisitos mínimos de asistencia a las sesiones presenciales

Se plantean dos métodos de evaluación, uno de evaluación CONTINUA y otro de evaluación NO CONTINUA, **de forma independiente para los contenidos teóricos y para los contenidos prácticos**. Por defecto, se supone que todos los estudiantes, por el hecho de estar matriculados en la asignatura, optan por el método de evaluación CONTINUA.

La aplicación de la evaluación CONTINUA para los contenidos teóricos está ligada a la realización de las pruebas parciales.

La aplicación de la evaluación CONTINUA para los contenidos prácticos está ligada a la asistencia y a la realización de las actividades propuestas en las sesiones prácticas en el laboratorio. Para optar por la evaluación NO CONTINUA, el estudiante debe comunicarlo al coordinador de prácticas antes del primer parcial de prácticas.

La norma a seguir en cada caso es la siguiente:

EVALUACION CONTINUA y NO CONTINUA PARA CONTENIDOS TEÓRICOS.

En ambas modalidades la asistencia a clase de teoría no es obligatoria, pero sí fuertemente recomendable.

Los detalles acerca de la normativa de evaluación para cada una de las dos modalidades se recogen en el epígrafe 2.2 de esta guía.

EVALUACION CONTINUA PARA CONTENIDOS PRÁCTICOS (LABORATORIO).

En la modalidad de evaluación CONTINUA, el estudiante deberá asistir a todas las clases prácticas y entregar de forma regular y en las fechas marcadas las memorias de resultados de cada una de las prácticas propuestas.

Siempre por motivos debidamente justificados, el estudiante puede faltar a un máximo de 2 sesiones de prácticas (4 horas), debiendo en su caso, presentar también las memorias correspondientes. Si se alcanza un número mayor de faltas, no se entrega alguna de las memorias solicitadas o se suspende alguno de los exámenes de prácticas, no se aprobarán los contenidos prácticos en la convocatoria ordinaria.

EVALUACION NO CONTINUA PARA CONTENIDOS PRÁCTICOS (LABORATORIO).

En esta modalidad la asistencia a clase de prácticas no es obligatoria, pero sí fuertemente recomendable.

Para optar a esta evaluación el estudiante debe comunicarlo al coordinador de prácticas antes del primer parcial de prácticas.

Los detalles acerca de la normativa de evaluación que diferencian cada una de las dos modalidades de evaluación práctica, se recogen en el epígrafe 2.2 de esta guía.



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

1.10. Datos del equipo docente

Profesores de teoría:

Francisco Javier Gómez Arribas (Coordinador)
Departamento de Tecnología Electrónica y de las Comunicaciones
Centro: Escuela Politécnica Superior
Despacho: Edificio C-226
Teléfono: +34 91 497 2255
Correo electrónico: francisco.gomez@uam.es
Página web: <http://www.eps.uam.es/~fjgomez>
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

Iván González Martínez
Departamento de Tecnología Electrónica y de las Comunicaciones
Centro: Escuela Politécnica Superior
Despacho: Edificio C-223
Teléfono: +34 91 497 6212
Correo electrónico: ivan.gonzalez@uam.es
Página web: <http://www.eps.uam.es/~igonzale>
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

Profesores de prácticas:

Gustavo Sutter Capristo (Coordinador)
Departamento de Tecnología Electrónica y de las Comunicaciones
Centro: Escuela Politécnica Superior
Despacho: Edificio C-244
Teléfono: +34 91 497 6209
Correo electrónico: gustavo.sutter@uam.es
Página web: <http://www.eps.uam.es/~gsutter>
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

Iván González Martínez
Departamento de Tecnología Electrónica y de las Comunicaciones
Centro: Escuela Politécnica Superior
Despacho: Edificio C-223
Teléfono: +34 91 497 6212
Correo electrónico: ivan.gonzalez@uam.es
Página web: <http://www.eps.uam.es/~igonzale>
Horario de atención al alumnado: Petición de cita previa por correo electrónico.



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

David González Arjona
Departamento de Tecnología Electrónica y de las Comunicaciones
Centro: Escuela Politécnica Superior
Despacho: Edificio C-235
Teléfono: +34 91 497 7559
Correo electrónico: david.gonzalezarjona@uam.es
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

José Fernando Zazo Rollón
Departamento de Tecnología Electrónica y de las Comunicaciones
Centro: Escuela Politécnica Superior
Despacho: Edificio C-113
Teléfono: +34 91 497 2291
Correo electrónico: josefernando.zazo@naudit.es
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

1.11. Objetivos del curso

En este curso se aprende la arquitectura y diseño de algunos procesadores convencionales y avanzados. Retomando lo estudiado en la asignatura de primer curso “Estructura de computadores” se estudian y analizan conceptos más avanzados en el diseño de procesadores. Se aprenden métricas que permiten evaluar el rendimiento de los procesadores y de los sistemas de memoria estudiados. El contenido de la asignatura expone las técnicas de diseño que mejoran el rendimiento de los sistemas computadores. Se muestra la evolución de las principales innovaciones en arquitectura y tecnología de ordenadores y se explica la incorporación de estos avances en los procesadores actuales, justificando su utilidad en términos de mejora de rendimiento. Se estudia la arquitectura de un sistema elemental de memoria y su jerarquía, los conceptos de segmentación en la ruta de datos y conceptos avanzados en la arquitectura de los ordenadores. En vez de describir una arquitectura concreta en detalle, se ha preferido mostrar la evolución y el avance de las mismas, para que el alumno esté preparado para entender los nuevos cambios en arquitectura de ordenadores que se desarrollen en el futuro. Aprovechando el conocimiento en un lenguaje específico para el diseño hardware del curso de Estructura de computadores, se profundiza en su utilización para describir el funcionamiento de un sistema completo.

Las competencias que se pretenden adquirir con esta asignatura son:

- **Básicas:**

B5: Conocimiento de la estructura, organización, funcionamiento e interconexión de los sistemas informáticos, los fundamentos de su programación, y su aplicación para la resolución de problemas propios de la ingeniería.



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

- **Comunes:**

C9: Capacidad de conocer, comprender y evaluar la estructura y arquitectura de los computadores, así como los componentes básicos que los conforman.

- **Específicas:**

IC1: Capacidad de diseñar y construir sistemas digitales, incluyendo computadores, sistemas basados en microprocesador y sistemas de comunicaciones.

IC3: Capacidad de analizar y evaluar arquitecturas de computadores, incluyendo plataformas paralelas y distribuidas, así como desarrollar y optimizar software para las mismas.

Los objetivos que se pretenden alcanzar con esta asignatura son:

| OBJETIVOS GENERALES | |
|---------------------|--|
| G1 | Conocer arquitecturas de computadores segmentadas y avanzadas, las motivaciones detrás de la evolución tecnológica y valorar las proyecciones sobre estas tecnologías a medio plazo. |
| G2 | Evaluar cuantitativamente el rendimiento de diferentes arquitecturas de computadores. |
| G3 | Demostrar la influencia de la jerarquía de memoria y de otras evoluciones en las prestaciones de un sistema ordenador. |
| G4 | Diseñar un procesador segmentado, utilizando lenguajes específicos de descripción hardware (VHDL). |
| G5 | Utilizar herramientas de diseño y programación (EDA) para diseño de circuitos digitales. |

| OBJETIVOS ESPECIFICOS POR TEMA | |
|--|---|
| TEMA 1.- Abstracciones, Tecnología y Rendimiento de los Computadores. | |
| 1.1. | Describir los principales aspectos tecnológicos que influyen en la evolución actual de los sistemas de cómputo. |
| 1.2. | Reconocer el vocabulario básico de arquitectura de ordenadores. |
| 1.3. | Identificar los elementos constitutivos de un sistema de computación. |
| 1.4. | Entender el concepto de tiempo de ejecución de un sistema. |
| 1.5. | Determinar las causas y efectos en el aumento en el rendimiento en una parte respecto del todo. |
| TEMA 2.- Procesadores segmentados. | |
| 2.1. | Entender los conceptos básicos de arquitectura de ordenadores. Unidad Aritmético Lógica (ALU), bancos de registros, registros flip-flop y latch, periodo de reloj, arquitectura RISC y Harvard. |
| 2.2. | Entender el concepto de segmentación (pipeline) y los conceptos asociados latencia y rendimiento (throughput). |
| 2.3. | Indicar cómo se produce la segmentación de un procesador unicyclo para la ejecución solapada de instrucciones. |



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

| | |
|--|---|
| 2.4. | Comprender las limitaciones del cauce de instrucciones segmentado y las causas de pérdidas de rendimiento. |
| 2.5. | Entender cómo eliminar ó mitigar los conflictos ó riesgos estructurales, de control y de datos. |
| 2.6. | Describir las técnicas para evitar detenciones. Adelantamiento de datos (Internal forwarding) y la predicción de saltos estáticas y dinámicas usando BTB. |
| TEMA 3.- Organización y Estructura de la Memoria: Cachés y Memoria Virtual. | |
| 3.1. | Entender el concepto de jerarquía de memoria. Motivos por los que se organizan los diferentes niveles de almacenamiento en jerarquías. |
| 3.2. | Reconocer la necesidad y utilidad de las memorias cachés y su organización en Completamente asociativa, Correspondencia directa y Asociativa por vías. |
| 3.3. | Indicar los esquemas de funcionamiento de las cachés. Escritura directa (Write Through) con asignación en escritura y sin asignación en escritura. Post-escritura o escritura diferida. |
| 3.4. | Entender los algoritmos de sustitución y los problemas de coherencia caché en sistemas multiprocesadores. |
| 3.5. | Comprender el funcionamiento de la memoria virtual: paginación, segmentación y segmentos paginados. |
| 3.6. | Indicar los pasos en la traducción de direcciones virtuales a direcciones físicas o reales. |
| 3.7. | Entender el soporte hardware necesario en la unidad de gestión de la memoria (MMU) y en el buffer de traducción anticipada (TLB). |
| 3.8. | Comprender la integración de los sistema de memoria entre el TLB y la caché (Sistema con caché de direcciones virtuales o caché de direcciones reales). |
| TEMA 4.- Técnicas avanzadas de paralelismo. | |
| 4.1. | Entender el paralelismo a nivel de instrucciones (ILP) y la base de los procesadores superescalares. |
| 4.2. | Conocer los conceptos básicos de los procesadores superescalares: políticas de emisión de instrucciones, renombramiento de registros, buffer de reordenación, unidad de retiro. |
| 4.3. | Diseñar un simple procesador superescalar en función del procesador segmentado estudiado previamente en el tema 2. |
| 4.4. | Entender los procesadores donde el paralelismo es resuelto por el compilador en vez del hardware (procesadores VLIW). |
| 4.5. | Identificar los problemas de la programación paralela y entender los modelos de programación de los procesadores multinúcleos, multiprocesadores. |
| 4.6. | Conocer las arquitecturas de los clústers y los sistemas multiprocesadores con paso de mensajes. |
| 4.7. | Reconocer las principales características de los coprocesadores gráficos. |
| TEMA 5.- Almacenamiento y otros aspectos de la entrada/salida (E/S). | |
| 5.1. | Entender y diferenciar los conceptos de confiabilidad, fiabilidad y disponibilidad. |



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

| | |
|------|---|
| 5.2. | Reconocer las principales características del almacenamiento en discos y en memorias tipo Flash. |
| 5.3. | Indicar cuáles son las principales medidas de prestaciones y rendimiento en los sistemas de entrada salida. |
| 5.4. | Identificar cuáles son las principales posibilidades que se pueden aplicar para paralelizar el proceso de entrada/salida. |



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

1.12. Contenidos del programa

Programa Sintético

UNIDAD 1. Abstracciones, Tecnología y Rendimiento de los Ordenadores.

UNIDAD 2. Procesadores Segmentados.

UNIDAD 3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual.

UNIDAD 4. Técnicas avanzadas de paralelismo.

UNIDAD 5. Almacenamiento y otros aspectos de la E/S.

Programa Detallado

1. Abstracciones, Tecnología y Rendimiento de los Ordenadores

1.1. Introducción

1.2. Arquitectura de un sistema de computación. Conceptos básicos

1.3. Rendimiento en un sistema de computación

1.4. Perspectiva y evolución de la tecnología

2. Procesadores segmentados

2.1. Fundamentos de diseño de un procesador

2.1.1. El repertorio de instrucciones

2.1.2. Ciclo único

2.1.3. Ruta de datos y control

2.2. La técnica de la segmentación

2.2.1. Funcionamiento ideal

2.2.2. Conceptos asociados: Latencia y Rendimiento (Throughput)

2.3. Diseño de un procesador con segmentación (Pipeline)

2.4. Limitaciones del cauce de instrucciones segmentado

2.4.1. Causas de pérdidas de rendimiento por detención del pipeline

2.4.1.1. Conflictos por limitaciones estructurales

2.4.1.2. Conflictos por riesgos de control

2.4.1.3. Conflictos por dependencia de datos

2.4.2. Técnicas para evitar detenciones

2.4.2.1. Adelantamiento de datos (Internal forwarding)

2.4.2.2. Predicción de saltos

3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual

3.1. Jerarquía de memoria

3.2. Principios básicos de la memoria caché

3.2.1. Caché de varios niveles

3.2.2. Organizaciones: Completamente asociativa, Correspondencia directa y Asociativa por vías

3.2.3. Esquemas de funcionamiento. Escritura directa (Write Through) con asignación en escritura (Fetch on-write) y sin asignación en escritura. Post-escritura o escritura diferida

3.2.4. Algoritmos de sustitución

3.2.5. Coherencia caché

3.2.6. Ejemplos de cachés



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

- 3.3. La Memoria virtual
 - 3.3.1. Funcionamiento de la memoria virtual: paginación, segmentación, segmentos paginados
 - 3.3.2. Traducción de direcciones virtuales a direcciones físicas o reales
 - 3.3.3. Unidad de gestión de la memoria (MMU)
 - 3.3.4. Buffer de traducción anticipada (TLB)
- 3.4. Integración del sistema de memoria: el TLB y la caché
 - 3.4.1. Sistema con caché virtual o caché real
- 4. Técnicas avanzadas de paralelismo**
 - 4.1. Paralelismo a nivel de instrucciones (ILP)
 - 4.2. Procesadores superescalares
 - 4.2.1. Políticas de emisión de instrucciones
 - 4.2.2. Renombramiento de registro.
 - 4.2.3. Implementación Superescalar, buffer de reordenación, unidad de retiro
 - 4.3. Procesadores multithread/multicore.
 - 4.3.1. Arquitectura NUMA de memoria compartida
 - 4.3.2. Paralelización de código en sistemas multicore de memoria compartida
 - 4.3.3. Introducción a OpenMP
 - 4.4. Procesadores VLIW.
 - 4.4.1. Planificación por el compilador
 - 4.4.2. Comparación de procesador VLIW vs Superscalar. Arquitectura, Codificación, Diferenciación de tareas
 - 4.5. Sistemas multiprocesadores y clústeres
 - 4.5.1. Clústers y otros multiprocesadores de paso de mensajes
 - 4.5.2. Introducción a los coprocesadores gráficos
- 5. Almacenamiento y otros aspectos de la E/S**
 - 5.1. Confiabilidad, fiabilidad y disponibilidad
 - 5.2. Almacenamientos en Discos y Flash
 - 5.3. Medidas de prestaciones en E/S
 - 5.4. Paralelismo y E/S



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

1.13. Referencias de consulta

1. Estructura y diseño de computadores: La interfaz software/hardware. D.A. Patterson y J.L. Hennessy. Ed. Reverte 2011. ISBN: 978-84-291-2620-4. Ref_UAM: INF/681.32.3/PAT.
2. Computer Organization And Design: The Hardware/Software Interface. D.A. Patterson y J.L. Hennessy. Morgan Kaufmann. 4ª Ed. 2009. ISBN: 978-01-237-4493-7. Ref_UAM: INF/681.3.06/PAT.
3. Estructura Y Diseño De Computadores: interficie circuitería- programación. D.A. Patterson y J.L. Hennessy. Vols. 1 y 2. Ed. Reverte 2000.
4. Organización y Arquitectura De Computadores. W. Stallings. 7ª Ed. Pearson Prentice Hall 2006.
5. Computer Architecture: A Quantitative Approach. J.L. Hennessy y D.A. Patterson. Morgan Kaufmann. 4ª Ed. 2007.
6. Digital Design and Computer Architecture. D.M. Harris y S.L. Harris. Elsevier. 2007.
7. Arquitectura de computadores: Fundamentos de los Procesadores Superescalares, J.P. Shen, M.H. Lipasti. McGraw-Hill. 2006.
8. Arquitectura de Computadores: de los Microprocesadores a las Supercomputadoras. B. Parhami. McGraw Hill. 2007.
9. The Student's Guide to VHDL. P. Ashenden. Morgan Kaufman Pub. 1998. ISBN: 1558605207. Ref_UAM: INF/681.3.062/ASH.
10. The designer's guide to VHDL". P.J. Ashenden. Morgan Kaufmann. 2ª Ed. 2002.

Bibliografía principal y secundarias asociadas al temario propuesto:

UNIDAD 1. Abstracciones, Tecnología y Rendimiento de los Ordenadores.

Principal: Ref[1] C1 y 2.

Secundarias: Ref[2] C1 y 2.

UNIDAD 2. Procesadores segmentados.

Principal: Ref[1] C4.

Secundarias: Ref[3] tomo 2, Ref[2] C4.

UNIDAD 3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual.

Principal: Ref[1] C5.

Secundarias: Ref[2] C5, Ref[4].

UNIDAD 4. Técnicas avanzadas de paralelismo.

Principal: Ref[1] C7.

Secundarias: Ref[2] C7.

UNIDAD 5. Almacenamiento y otros aspectos de la E/S.

Principal: Ref[1] C6.

Secundarias: Ref[2] C6.



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

2. MÉTODOS DOCENTES

La metodología utilizada en el desarrollo de la actividad docente incluye los siguientes tipos de actividades:

Clases de teoría:

Actividad del profesor:

Clases expositivas simultaneadas con la realización de ejercicios. Se utilizará la pizarra, combinada con presentaciones en formato electrónico y uso de simulaciones.

Actividad del estudiante:

Actividad presencial: Toma de apuntes, participar activamente en clase respondiendo a las cuestiones planteadas. Resolución de los ejercicios propuestos durante el desarrollo de las clases.

Actividad no presencial: Preparación de apuntes, estudio de la materia y realizaciones de los cuestionarios planteados en la página web (moodle) de la asignatura.

Clases de problemas en aula:

Actividad del profesor:

Primera parte expositiva, una segunda parte de supervisión y asesoramiento en la resolución de los problemas por parte del alumno y una parte final de análisis del resultado y generalización a otros tipos de problemas. Se utiliza básicamente la pizarra con proyecciones en formato electrónico para las figuras y simulaciones en lenguaje de bajo nivel.

Actividad del estudiante:

Actividad presencial: Participación activa en la resolución de los problemas y en el análisis de los resultados.

Actividad no presencial: Realización de otros problemas, planteados a través de moodle y no resueltos en clase y estudio de los planteados en las mismas. Utilización de las simulaciones en lenguaje de bajo nivel para analizar y comprobar los resultados. Estudio y planteamiento de modificaciones que permitan la optimización de las soluciones planteadas.

Tutorías en aula:

Actividad del profesor:

Tutorización a toda la clase o en grupos de alumnos reducidos (8-10) con el objetivo de resolver dudas comunes plantadas por los alumnos a nivel individual o en grupo, surgidas a partir de cuestiones/ejercicios/problemas señalados en clase para tal fin y orientarlos en la realización de los mismos.

Actividad del estudiante:

Actividad presencial: Planteamiento de dudas individuales o en grupo y enfoque de posibles soluciones a las tareas planteadas.



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

Actividad no presencial: Estudio de las tareas marcadas y debate de las soluciones planteadas en el seno del grupo.

Prácticas de laboratorio:

Actividad del profesor:

Asignar una práctica a cada grupo de trabajo y explicar la práctica asignada a cada grupo de trabajo al comienzo de la sesión de prácticas. Supervisar el trabajo de los grupos de trabajo en el laboratorio. Suministrar el guión de prácticas a completar en el laboratorio.

Se utilizan el método expositivo tanto en tutorías como en el laboratorio con cada grupo de trabajo. Los medios utilizados son el software del laboratorio y ordenadores del propio laboratorio para la ejecución y simulación de los programas realizados.

Actividad del estudiante:

Actividad presencial: Planteamiento inicial, previo al desarrollo de la práctica, sobre información contenida en el enunciado. Debate en el seno del grupo sobre el planteamiento de la solución óptima. Al finalizar la práctica se entrega un breve informe con el programa desarrollado y, además, se debe ejecutar con el profesor presente, quien hará las preguntas oportunas a cada miembro del grupo para calificar de forma individual la práctica. El coordinador de prácticas velará para que los criterios de corrección sean homogéneos para todos los grupos de prácticas.

Actividad no presencial: Profundizar en el enunciado de la práctica y plantear el diagrama de flujo óptimo para la resolución de la misma. Redacción del informe de la práctica incluyendo el diagrama final planteado.

2.1. Tiempo de trabajo del estudiante

| | | Nº de horas | Porcentaje |
|---------------|---|---------------|------------|
| Presencial | Clases teóricas (3h x14 semanas) | 42 h (28%) | 78 h (52%) |
| | Clases prácticas (2h x13 semanas) | 26 h (17%) | |
| | Tutorías globales | 4 h (3%) | |
| | Realización de prueba escrita (ordinarias) | 3 h (2%) | |
| | Realización de prueba escrita (extraordinaria) | 3 h (2%) | |
| No presencial | Estudio semanal regulado (3 horas x 14 semanas) | 42 h (28%) | 72 h (48%) |
| | Preparación del examen (ordinario) | 12 h (8%) | |
| | Preparación del examen (extraordinario) | 18 h | |



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

| | |
|--|-------|
| | (12%) |
| Carga total de horas de trabajo: 25 horas x 6 ECTS | 150 h |

2.2. Métodos de evaluación y porcentaje en la calificación final

- Ambas partes, teoría y prácticas se puntúan sobre 10 puntos.
- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

$$\text{Calificación: } 0,3*\text{Not_Lab} + 0,7*\text{Not_Teo}$$

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la parte de teoría como en la parte de laboratorio. En caso contrario, la nota final en actas será

$$\text{Calificación: } (0,3*\text{Mín}(5, \text{Not_Lab}) + 0,7*\text{Mín}(5, \text{Not_Teo}))$$

1. Para los estudiantes que opten por el método de evaluación CONTINUA, sus calificaciones se obtendrán de la siguiente forma:

- A. La nota correspondiente a la parte de Teoría (**Not_Teo**) es la que resulta de:

$$\text{Not_Teo: } \text{MAX}([0,25*\text{Exp1} + 0,25*\text{Exp2} + 0,5*\text{ExFinal}], \text{ExFinal})$$

Las pruebas escritas parciales se realizarán durante el periodo lectivo y en horario de clase y consistirán en la evaluación de los objetivos que deben ser alcanzados por los estudiantes durante las unidades que componen cada parcial, así como las unidades incluidas en los parciales previos.

El examen final consistirá en una prueba escrita, cuyo contenido abarca todos los objetivos que deben ser alcanzados por los estudiantes durante el curso.

Las pruebas escritas, podrán incluir tanto cuestiones teóricas como resolución de problemas.

- B. La nota correspondiente a la parte de Laboratorio (**Not_Lab**) es la que resulta de realizar las actividades prácticas programadas en el curso. Es necesario obtener más de 4 puntos en cada práctica y la calificación de apto en los exámenes. La ponderación exacta de cada práctica en la nota de laboratorio se indicará al inicio del curso en la primera sesión de prácticas

$$\text{Not_Lab} = H1*\text{NotaP1} + H2*\text{NotaP2} + H3*\text{NotaP3} + H4*\text{NotaP4}$$

El valor de H1 estará en el rango [0,25 a 0,3]

El valor de H2 estará en el rango [0,25 a 0,35]

El valor de H3 estará en el rango [0,2 a 0,25]

El valor de H4 estará en el rango [0,2 a 0,25]

Y satisfaciendo que $H1+H2+H3+H4 = 1$



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

2. Para los estudiantes que opten por la modalidad de evaluación NO CONTINUA, sus calificaciones se obtendrán de la siguiente forma:

A. La nota correspondiente a la parte de Teoría (**Not_Teo**) es la que resulta de:

$$\text{Not_Teo} = \text{ExFinal}$$

La prueba final consistirá en una prueba escrita, cuyo contenido abarcará todos los objetivos que deben alcanzar los estudiantes en el curso completo. Esta prueba podrá incluir tanto cuestiones teóricas como resolución de problemas.

B. La nota correspondiente a la parte de Laboratorio (**Not_Lab**) es la que resulta de la calificación obtenida en un único examen práctico, que permita evaluar todos los conceptos desarrollados en las prácticas de laboratorio propuestas en la asignatura.

$$\text{Not_Lab} = \text{ExFinal de prácticas}$$

En ambas modalidades de evaluación CONTINUA y NO CONTINUA:

- La nota de teoría se guarda sólo para la convocatoria extraordinaria en el mismo curso académico.
- La nota de prácticas se guarda para la convocatoria extraordinaria en el mismo curso académico. Siempre que la calificación obtenida sea igual o superior a 7,0 puntos, también se guardará para las dos convocatorias del curso siguiente. En este segundo caso, la nota de prácticas guardada será $(5 + \text{Nota antigua})/2$.



Asignatura: Arquitectura de Ordenadores
 Código: 17834
 Centro: Escuela Politécnica Superior
 Titulación: Grado en Ingeniería Informática
 Nivel: Grado
 Tipo: Obligatoria
 Nº de créditos: 6 ECTS

2.3. Cronograma

| Semana | Actividades Presenciales | Actividades No Presenciales |
|--------|--|---|
| 1ª | <ul style="list-style-type: none"> ✓ Presentación de la asignatura. ✓ U1. Abstracciones, Tecnología y Rendimiento de los Ordenadores. Temas: 1.1 ✓ P0. Repaso VHDL | <ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U1. |
| 2ª | <ul style="list-style-type: none"> ✓ U1. Abstracciones, Tecnología y Rendimiento de los Ordenadores. Temas: 1.2, 1.3, 1.4 ✓ Tutoría Conjunta U1. ✓ P1. Micro Segmentado (I). | <ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U1 ✓ Resolución de problemas de U1. |
| 3ª | <ul style="list-style-type: none"> ✓ U2. Procesadores segmentados Temas: 2.1, 2.2 ✓ Tutoría Conjunta U2. ✓ P1. Micro Segmentado (II). | <ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U2. |
| 4ª | <ul style="list-style-type: none"> ✓ U2. Procesadores segmentados Temas: 2.3, 2.4 ✓ Tutoría Conjunta U2. ✓ P1. Micro Segmentado (III). | <ul style="list-style-type: none"> ✓ Resolución de problemas de U2. ✓ Estudio del material propuesto sobre U2. |
| 5ª | <ul style="list-style-type: none"> ✓ U2. Procesadores segmentados Tema: 2.4 ✓ Tutoría Conjunta U2. ✓ P2. Soporte de riesgos (I). | <ul style="list-style-type: none"> ✓ Entrega P1. ✓ Estudio del material propuesto sobre U2. ✓ Resolución de problemas de U2. |
| 6ª | <ul style="list-style-type: none"> ✓ U3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual. Temas: 3.1, 3.2 ✓ Tutoría Conjunta U3. ✓ P2. Soporte de riesgos (II). | <ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U3. ✓ Resolución de problemas de U3. |
| 7ª | <ul style="list-style-type: none"> ✓ U3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual. Temas: 3.2 y 3.3 ✓ Tutoría Conjunta U3. ✓ P3. Memoria Cache (I). | <ul style="list-style-type: none"> ✓ Resolución de problemas de U3. ✓ Estudio del material propuesto sobre U3. ✓ Entrega P2. |
| 8ª | <ul style="list-style-type: none"> ✓ U3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual. Temas: 3.3 y 3.4 ✓ Tutoría Conjunta U3. ✓ Pex1. Primer examen de prácticas. | <ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U3. ✓ Resolución de problemas de U3. |
| 9ª | <ul style="list-style-type: none"> ✓ U4. Técnicas avanzadas de paralelismo. Temas: 4.1, ✓ Tutoría Conjunta U4. | <ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U4. ✓ Resolución de problemas de U4. |
| 10ª | <ul style="list-style-type: none"> ✓ U4. Técnicas avanzadas de paralelismo. Temas: 4,1y 4,2 ✓ Tutoría Conjunta U4. ✓ P3. Memoria Cache (II). | <ul style="list-style-type: none"> ✓ Resolución de problemas de U4. ✓ Estudio del material propuesto sobre U4. |
| 11ª | <ul style="list-style-type: none"> ✓ U4. Técnicas avanzadas de paralelismo. Temas: 4.2 ✓ Tutoría Conjunta U4 ✓ P3. Memoria Cache (III). | <ul style="list-style-type: none"> ✓ Resolución de problemas de U4. ✓ Estudio del material propuesto sobre U4 |
| 12ª | <ul style="list-style-type: none"> ✓ U4. Técnicas avanzadas de paralelismo. Temas: 4.3 ✓ Tutoría Conjunta U5. ✓ P4. Sistemas Multiprocesador/Multicore (I). | <ul style="list-style-type: none"> ✓ Entrega P3. ✓ Resolución de problemas de U4. ✓ Estudio del material propuesto sobre U4 |
| 13ª | <ul style="list-style-type: none"> ✓ U4. Técnicas avanzadas de paralelismo. Temas: 4.4. ✓ Tutoría Conjunta U5. ✓ P4. Sistemas Multiprocesador/Multicore (II). | <ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U4. ✓ Resolución de problemas de U4. |
| 14ª | <ul style="list-style-type: none"> ✓ U5. Almacenamiento y otros Aspectos de la E/S ✓ Tutoría Conjunta U5. | <ul style="list-style-type: none"> ✓ Entrega P4. ✓ Entrega Opcional. ✓ Estudio del material propuesto sobre la U5. |



Asignatura: Arquitectura de Ordenadores
Código: 17834
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería Informática
Nivel: Grado
Tipo: Obligatoria
Nº de créditos: 6 ECTS

| Semana | Actividades Presenciales | Actividades No Presenciales |
|--------|--------------------------------------|---|
| | | ✓ Resolución de problemas de las U5. |
| 15ª | ✓ Pex2. Segundo examen de prácticas. | ✓ Estudio del material propuesto sobre la U5. Resolución de problemas de las U5. |
| | ➤ Examen Final Ordinario | ✓ Preparación del Examen final. |
| | ➤ Examen Final Extraordinario | ✓ Preparación del Examen final. |