GUÍA DOCENTE DE DISPOSITIVOS INTEGRADOS ESPECIALIZADOS

La presente guía docente corresponde a la asignatura Dispositivos Integrados *Especializados* (DIE), aprobada para el curso lectivo 2017-18 en Junta de Centro y publicada en su versión definitiva en la página web de la Escuela Politécnica Superior. La guía docente de DIE aprobada y publicada antes del periodo de matrícula tiene el carácter de contrato con el estudiante.

ASIGNATURA

DISPOSITIVOS INTEGRADOS ESPECIALIZADOS(DIES)

1.1. Código

18484 Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

1.2. Materia

Circuitos digitales complejos tipo FPGAs: Dispositivos, herramientas EDA y Técnicas Avanzadas de Diseño Digital.

1.3. Tipo

Formación básica

1.4. Nivel

Grado

1.5. Curso

3º

1.6. Semestre

1º

1.7. Número de créditos

6 créditos ECTS

1.8. Requisitos previos

Esta asignatura se imparte en el primer semestre del tercer curso. Es requisito previo *Circuitos Electrónicos Digitales. CEE* forma parte de la *Materia Circuitos Electrónicos y Microprocesadores* (18 créditos ECTS) del plan de estudios. La asignatura CEE retoma los temas de CED con un enfoque orientado a circuitos integrados de alta densidad tipo FPGA.

Se recomienda verificar la comprensión de los contenidos y habilidades básicas de la asignatura mediante la resolución de las Guías de Problemas, las cuales pueden complementarse con otros casos propuestos y/o resueltos en los textos de la bibliografía. El material electrónico de la asignatura se encuentra en la plataforma Moodle:

https://moodle.uam.es/

y en la página web de la asignatura:

http://arantxa.ii.uam.es/~dcse/

En la primera se concentra la información sobre notas, temas de exámenes, fechas, tablón de noticias, y otros aspectos de organización. En la página web de la asignatura se condensa la información general, de carácter menos variable. Toda la información entre ambas páginas se encuentra enlazada por hipervínculos.

Es imprescindible disponer de un buen conocimiento de inglés a nivel de lectura, pues toda la documentación de los fabricantes de circuitos integrados (hojas de datos y notas de aplicación) se encuentra redactada sólo en dicha lengua. Asimismo, se requiere iniciativa personal y tenacidad para el diseño y puesta en funcionamiento de los diversos circuitos propuestos en el laboratorio. Finalmente, es importante ejercitar la predisposición y empatía para el trabajo en grupo.

1.9. Requisitos mínimos de asistencia a las sesiones presenciales

Se plantean dos itinerarios, uno con evaluación continua y otro sin ella, los estudiantes deberán optar por uno u otro desde el principio del curso y cumplir con los distintos requisitos de evaluación que conlleva cada uno de los modelos, publicados en la presente guía docente (ver apartado 4).

1.10. Datos del equipo docente

Nota: se debe añadir @uam.es a todas las direcciones de correo electrónico.

Profesores de teoría:

Dr. Eduardo Boemo Scalvinoni (Coordinador)
Departamento TEC
Escuela Politécnica Superior
Despacho - Módulo: 225 - C
Teléfono: +34 91 497 6213
Correo electrónico: eduardo.boemo
Página web: http://www.ii.uam.es/~ivan

Horario de atención al alumnado: Petición de cita previa por correo electrónico.

Profesores de prácticas:

Fernando Barbero Díaz
Departamento TEC
Escuela Politécnica Superior
Despacho - Módulo: 235 - C
Teléfono: +34 91 497 7559
Correo electrónico: fernando.barbero
Página web:
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

1.11. Objetivos del curso

DIES es una asignatura de inmersión en circuitos digitales tipo FPGA. Se pretende que el alumno adquiera unos conocimientos básicos sobre: a) la arquitectura de estos dispositivos, su evolución y sus alternativas; b) las herramientas de diseño, sus algoritmos básicos y sus opciones; c) los lenguajes de descripción de hardware de bajo o alto nivel; d) modelo de retardos de circuitos ntegrados y técnicas de sincronización; f) principales técnicas de optimización *area-time-power* y g) ideas sobre verificación. La asignatura intenta desarrollar el ingenio, la tenacidad, el hábito de optimización y la capacidad para resolver problemas dentro del campo de los sistemas digitales complejos.

Las **competencias** que se pretenden adquirir con esta asignatura son:

- DD4: Que los estudiantes puedan transmitir información, ideas, problemas y soluciones a un público tanto especializado como no especializado.
- DD5 Que los estudiantes hayan desarrollado aquellas habilidades de aprendizaje necesarias para emprender estudios posteriores con un alto grado de autonomía.
- ITT3 Conocimiento de materias básicas y tecnologías, que le capacite para el aprendizaje de nuevos métodos y tecnologías, así como que le dote de una gran versatilidad para adaptarse a nuevas situaciones.
- ITT4 Capacidad de resolver problemas con iniciativa, toma de decisiones, creatividad, y de comunicar y transmitir conocimientos,

habilidades y destrezas, comprendiendo la responsabilidad ética y profesional de la actividad del Ingeniero Técnico de Telecomunicación.

- CO3 Capacidad para utilizar herramientas informáticas de búsqueda de recursos bibliográficos o de información relacionada con las telecomunicaciones y la electrónica.
- CO1 Capacidad para aprender de manera autónoma nuevos conocimientos y técnicas adecuados para la concepción, el desarrollo o la explotación de sistemas y servicios de telecomunicación.
- CO9 Capacidad de análisis y diseño de circuitos combinacionales y secuenciales, síncronos y asíncronos, y de utilización de microprocesadores y circuitos integrados.
- CO10 Conocimiento y aplicación de los fundamentos de lenguajes de descripción de dispositivos de hardware.
- SE2 Capacidad para seleccionar circuitos y dispositivos electrónicos especializados para la transmisión, el encaminamiento o enrutamiento y los terminales, tanto en entornos fijos como móviles. SE3 Capacidad de realizar la especificación, implementación, documentación y puesta a punto de equipos y sistemas, electrónicos, de instrumentación y de control, considerando tanto los aspectos técnicos como las normativas reguladoras correspondientes.
- SE4 Capacidad para aplicar la electrónica como tecnología de soporte en otros campos y actividades, y no sólo en el ámbito de las Tecnologías de la Información y las Comunicaciones.

Los objetivos que se pretenden alcanzar con esta asignatura son:

OBJETIVOS GENERALES	
1	Conocer las diferentes técnicas de diseño de circuitos de alta velocidad y complejidad
2	Diseñar, especificar, construir o negociar ASICs.
3	Habilidad para resolver problema y entender textos con especificaciones técnicas
4	Hábito de optimización, simplificación, análisis, y resolución de problemas
5	Comprensión de manuales avanzados de componentes tipo FPGA y artículos científico-técnicos aplicados.

OBJETIVOS ESPECIFICOS POR TEMA	
TEMA 1.- CIRCUITOS INTEGRADOS Y ASICS SEMICUSTOM	
1.1.	Conocer alternativas de fabricación de un circuito integrado.
1.2.	Enterder ASICs semicustoms: Gate Arrays, Standard Cells, ASICs Estructurados.
1.3.	Diseñar puertas CMOS estándares básicas a nivel transistor.
TEMA 2.- ARQUITECTURA DE FPGAS, HERRAMIENTAS Y ALGORITMOS EDA	
2.1.	Conocer una LUT e interconexiones programables, Bloques de E/S. Programación
2.2.	Presentar *Hard-cores* específicos
2.3.	Experimentar con los bloques principales de una herramienta EDA profesional
2.4.	Presentar los principales algoritmos de una herramienta EDA
2.5.	Ver las opciones avanzadas de un compilador de silicio
TEMA 3.- RETARDOS, SINCRONIZACIÓN Y OPTIMIZACIÓN AREA-VELOCIDAD	
3.1	Análisis del Modelo RC, retardo y *fanout*.
3.2	Diseñar una distribución de reloj y sincronizadores de fase tipo PLL.
3.3	Entender Sincronización de fase única, frecuencia máxima de operación.
3.4	Analizar Fallos de sincronización y corregir metaestabilidad
3.5	Diseñar con Paralelismo-Pipeline. Conceptos de aceleración, latencia y *throughput*
3.6	Diseño Físico para area-velocidad y Herramientas de análisis de tiempo.
3.7	Enterder opciones *on-chip* para alta velocidad y aspectos eléctricos.
TEMA 4.- DISEÑO PARA TEST (DFT)	
4.1	Revisar Técnicas DFT ad-hoc
4.2	Estudiar y aplicar Modelo *stuck-at* a circuitos sencillos
4.3	Entender *Scan Path*, *Tesbenchs*, Herramienta *ChipScope* y otras técnicas
4.4	Analizar la conexión entre DFT y Tolerancia a Fallos
TEMA 5.- ASPECTOS ECONÓMICOS DE LA TECNOLOGÍA FPGA	
5.1	Cuantificar la evolución de las FPGA y conocer compañías.
5.2	Analizar curva de aprendizaje, ciclo económico, erosión de precio y obsolescencia.
5.3	Conocer los tipos de trabajos en FPGAs, mercado español e internacional, asistir a conferencias invitadas de expertos de la industria y visitar compañías locales

1.12. Contenidos del programa

Programa Sintético

UNIDAD 1. **Circuitos Integrados y ASICs Semicustom**
UNIDAD 2. **Arquitectura de FPGAs**
UNIDAD 3. **Herramientas y Algoritmos EDA**
UNIDAD 4. **Modelo de retardos**
UNIDAD 5. **Sincronización y Pipeline**
UNIDAD 6. **Diseño para Test (DFT)**

UNIDAD 7.

Programa Detallado

1.- Circuitos Integrados y ASICs Semicustom

Circuitos Integrados SSI, MSI (1960-70).
Idea de bloque *cascadable* y extendible (sliced).
Estandarización, diferenciación y confidencialidad.
Límites de un procesadores. Opción *hardwired* de un algoritmo.
ASICs: Gate Array, Standard Cells, SOG, Structured FPGAs y otros.
Puertas básicas CMOS.
Economía de los *masked-ASICs*.
Lecciones aprendidas

2.- Arquitectura de FPGAs

Xilinx Inc. y el modelo Fabless.
LUTs, Interconexiones y Memoria de Configuración.
Estructura de una LUT y compromisos de diseño.
Tipos de Configuración. FPGA Retargeting. *Easy Path*. FPGAs Antifusibles.
Frecuencia máxima de un sistema basado en FPGAs y Aplicaciones de las FPGAs
Recursos específicos: RAM, Mult y DSP, SRL, Procesadores, DCM, Transceivers, etc).
Estándares de I/O y Encapsulados
Xilinx vs Altera
Lecciones aprendidas.

3.- Herramientas y Algoritmos EDA

Este tema se imparte primero en clases de LAB a través de la utilización de las herramientas de diseño. Posteriormente, en Teoría se revisan detalles más técnicos.

Lenguajes de descripción de HW
Diagrama de flujo de diseño.
Simplificación. Síntesis, Particionado, Emplazamiento y Rutado.
Uso de subexpresiones.
Cofactoreo de Shanon
Método de las fuerzas, Steimberg
Mincut y Simulated Annealing
Rutado global y detallado.
Bloques de la Herramienta EDA Xilinx.
Principales opciones de un compilador de silicio.

4.- Modelo de retardos

Capacidad. Carga a corriente constante. Energía almacenada en un condensador.
Valores típicos de C en circuitos integrados. Datos de una célula SC
Retardos intrínsecos y extrínsecos. *Fanin* y *Fanout*.
Señales globales (broadcasted) y cómo limitar el fanout de un circuito.
Árbol de Reloj. Sincronizadores de fase tipo PLL. Distorsión de *Duty-Cycle*. Herramientas de analisis de tiempos, caminos críticos y falsos.
Deración con T y Vdd. Retardos asíncronos
Retardo de *pines*, Pull-Up / Pull-Down, Bus keeper
Lecciones Aprendidas

5.- Sincronización y Pipeline

Este tema se imparte primero en clases de LAB con un enfoque experimental. Posteriormente, en Teoría se revisan detalles más técnicos.

Glitches en circuitos combinacionales.
Registros de sincronización y Parámetros temporales de un FF
Gated-clocks: “relojes gateados”
Skew de reloj. Fallos de sincronización. Metaestabilidad.
Principios de Diseño Síncrono.
Velocidad (*Throughput*), latencia y aceleración (*speed-up*)
Registros de *skewing* y *deskewing*
Granularidad, Profundidad de Lógica.
Coste de un pipeline.
Ejemplos de circuitos segmentados y *retiming*
Comunicación local y global (broadcasted).

6.- Diseño para Test (DFT)

Técnicas Heurísticas: Observabilidad y Controlabilidad.
Técnicas Sistemáticas: Modelo Stuck-at. Cobertura de fallos.
Test de FSMs: Scan Path.
JTAG.

Herramienta ChipScope.
Temperatura y fallos.
DFT y Tolerancia a Fallos.
Instrumental de Verificación.

7. ASPECTOS ECONÓMICOS DE LA TECNOLOGÍA FPGA

Evolución de las FPGA y vida media de las compañías.
Análisis del fabricante: Curva de aprendizaje, ciclo económico, erosión de precio y obsolescencia.
Mercado de trabajo en FPGAs (español e internacional)
Conferencias invitadas de expertos de la industria y visitas a compañías locales

1.13. Referencias de consulta

Bibliografía:

Bolton M., "Digital System Design with Programmable Logic", Addison-Wesley, 1990.
681.32 BOL

Brown S., Francis R. , Rose J. y Vranesic Z., "Field-Programmable Gate Arrays", Boston: Kluwer Academic Publishers, 1992.

Chan, P. and Murrad, S. "Digital Design using Field-Programmable Gate Arrays", Prentice-Hall 1994.
681.31 CHA

Francis, R. “A Tutorial on Logic Synthesis for Look-up Table Based FPGAs”, ICCAD-92 Digest of Technical Papers, pp.40-47, Nov. 1992.

Jenkins J., "Designing with FPGAs and CPLDs".
681.3 JEN

Mandado, Enrique, "Dispositivos lógicos programables"
621.3 MAN

Oldfield J. and Dorf R. , "Field-Programmable Gate Arrays. Reconfigurable Logic for Rapid Prototyping and Implementation of Digital Sistems", John Wiley & Son. 1995.
621.3 OLD

Tavernier, C. "Circutos Lógicos Programables", Editorial Paraninfo.
621.3 TAV

Trimberger S., "Field-Programmable Gate Arrays Technology", ", Boston: Kluwer Academic Publishers, 1995.
621.3 FIE

Amerasekera, E. Ajith, "Failure mechanisms in semiconductor devices".
621.315/AME

Baker J. et al., "CMOS Circuit Design, Layout, and Simulation", IEEE Press Series on Microelectronic Systems.
621.3BA

Application-Specific Integrated Circuits
Smith, Michael
INF/621.3/SM

Abramovici M. Melvin A. Breuer, Arthur D. Friedman, "Digital systems testing and testable design", 1990.
681.32/ABR

Sousa, José T. de, "Boundary-scan interconnect diagnosis"
621.38/SOU

Lall, Pradeep, "Influence of Temperature on Microelectronics and System Reliability"
621.3/LAL

Josep Altet y Antonio Rubio, "Thermal testing of Integrated circuits"
B1200/ALT

Material electrónico de trabajo: los documentos electrónicos de trabajo (Prácticas, métodos de trabajo para el laboratorio, recomendaciones de estudio y hojas de datos de componentes se publican en la sección de DIES en plataforma Moodle (http://uam-virtual.es) y en la página de la asignatura.

2. Métodos docentes

La metodología utilizada en el desarrollo de la actividad docente incluye los siguientes tipos de actividades:

***Clases de teoría:**

Actividad del profesor

Las clases de teoría se realizan en la pizarra, evitando deliberadamente la utilización de transparencias, salvo para resumir el tema. Se enfatiza el aprendizaje mediante la resolución de problemas y se anima a los estudiantes a

exponer sus dudas. Los estudiantes además pueden explicar en la pizarra su solución para cada problema que se propone en clase. Siempre que se pueda, los temas se explican por medio de un problema que ilustra el concepto. Se asigna un tiempo para que los estudiantes resuelvan dicho problema y posteriormente se resuelve en la pizarra. Se proponen además otros problemas similares para resolver fuera de clase. Antes de cada comienzo de una práctica de laboratorio, se explica detalladamente lo que se debe realizar, utilizando una hora de clase de teoría.

Actividad del estudiante:

Actividad presencial: En la clase de teoría los estudiantes deben atender la breve explicación teórica que precederá a cada problema "caso-de-estudio", que posteriormente, deberán resolver durante el transcurso de la clase. Adicionalmente, podrán ser invitados a la pizarra para exponer la solución hallada.

Actividad no presencial: La compresión de la asignatura se basa en la resolución de problemas. Los estudiantes deben resolver las guías de problemas propuestos. Esta tarea se puede complementar con la lectura de la bibliografía recomendada.

***Clases de problemas/ejercicios en aula:**

Actividad del profesor

Al final de cada tema (normalmente entre una y dos semanas) la clase se centra en la resolución de algunos problemas seleccionados de la Guía de Problemas. Si es necesario, se vuelve a explicar el concepto teórico que subyace bajo el problema

Actividad del estudiante:

Actividad presencial: Participación activa en la resolución de los ejercicios.
Actividad no presencial: Realización de ejercicios y prácticas de laboratorio, planteados en clase. Resolución de ejercicios extras extraídos de los libros de texto.

Prácticas:

Actividad del profesor:

El profesor deberá limitarse a resolver las dudas de los estudiantes, evitando siempre que sea posible la explicación en la pizarra del problema propuesto. Dicha tarea, cuando es necesaria, ya se ha realizado en la clase teórica anterior a la práctica. El profesor además realiza un breve interrogatorio a cada grupo de estudiantes al final de cada ejercicio de laboratorio.

Actividad del estudiante:

Actividad presencial: *Actividad presencial*: Participación activa en el diseño, simulación y construcción de los circuitos propuestos.
Actividad no presencial: Lectura de las hojas de datos de los componentes a utilizar en la práctica. Diseño de la práctica y confección de un plano de fabricación, cuando éste sea necesario.

3. Tiempo de trabajo del estudiante

		Nº de horas	Porcentaje
Presencial	Clases teóricas	42 h	65 hs (43%)
	Clases prácticas	18 h	
	Realización de pruebas escritas parciales y final	05 h	
No presencial	Preparación de la práctica de laboratorio	18 h	85 h (57%)
	Realización de ejercicios propuestos	46 h	
	Preparación del examen	21 h	
Carga total de horas de trabajo: 25 horas x 6 ECTS		**150 h**	

4. Métodos de evaluación y porcentaje en la calificación final

- Ambas partes, teoría y prácticas se puntúan sobre 10 puntos.
- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

Calificación: 0.3*Prácticas + 0.7*Teoría

En caso de obtener 10 puntos en las prácticas de lab, la nota final se calcula como:

Calificación: 0.5*Prácticas + 0.5*Teoría

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la parte de teoría como en las prácticas. En caso contrario, la nota final en actas será:

Calificación: suspenso

La nota correspondiente a la parte de Teoría es la que resulta de:

- ✓ La calificación de la prueba final (60%).
- ✓ La calificación de 3 pruebas parciales (40%).

El formato de la prueba final es:

Parcial 1	Parcial 2	Parcial 3	Final
4 puntos			6 puntos

La prueba final incluye además ejercicios opcionales de las 3 pruebas parciales (4 puntos). Los/las estudiantes que no hayan aprobado alguna o todas las pruebas parciales deberán hacer dichos ejercicios para poder optar al 10. Los que hayan aprobado todas las pruebas deberán resolver en el final sólo la parte de la derecha de la tabla (6 puntos).

La nota de las pruebas parciales aprobadas (se aprueban superando el 50% de cada examen) se suma directamente a la nota de la parte final. Esto es la nota de Teoría. Es decir, el/la estudiante no tiene que evaluarse nuevamente de los temas que aprobó de forma continua.

La nota correspondiente a la parte de Teoría para el itinerario sin evaluación continua es el de la prueba final completa (cuadro de arriba: 3 parciales + final).

Además se debe realizar en una semana el trabajo equivalente al realizado en el laboratorio. La dificultad de esta prueba (diseño de circuitos más examen oral) es similar al de las prácticas realizadas durante el año, y lo mismo sucede con su carga horaria. Para realizar dicho trabajo, el estudiante podrá asistir al laboratorio durante los 5 días hábiles siguientes al día del examen. Los circuitos propuestos para este examen son nuevos y no han sido desarrollados durante el laboratorio. Es decir, no se trata de montar los ejercicios del laboratorio anterior.

- ➢ La nota correspondiente a la parte de prácticas es la que resulta de realizar las prácticas programadas en el curso.
- ➢ La nota de teoría se conserva (convalida) hasta la convocatoria extraordinaria.
- ➢ La nota de prácticas se conserva (convalida) hasta la convocatoria extraordinaria.

- ➢ **ATENCIÓN:** Cualquier copia descubierta que se haya realizado a lo largo del curso, tanto en cualquiera de las actividades de teoría desarrolladas, como en cualquiera de los apartados de las prácticas, serán penalizadas con rigurosidad. La penalización por copia implica la aplicación de la normativa interna de la EPS, que supone suspender la convocatoria actual.

5. Cronograma

Semana	Contenido	Horas presenciales	Horas no presenciales
1	Presentación de la asignatura, descripción del programa, normativa y los métodos de evaluación. Asignación de turnos de laboratorio. **1.- Circuitos Integrados y ASICs Semicustom** Circuitos Integrados SSI, MSI (1960-70). Idea de bloque *cascadable* y extendible (sliced). Estandarización, diferenciación y confidencialidad. Límites de un procesadores. Opción *hardwired* de un algoritmo. ASICs: Gate Array, Standard Cells, SOG, Structured Puertas básicas CMOS. Economía de los *masked-ASICs*. Lecciones aprendidas	3	2 Trabajo del estudiante: Revisión de VHDL
2	**2.- Arquitectura de FPGAs** Xilinx Inc. y el modelo Fabless. LUTs, Interconexiones y Memoria de Configuración. Estructura de una LUT y compromisos de diseño. Tipos de Configuración. FPGA Retargeting. *Easy Path*. FPGAs Antifusibles. Frecuencia máxima de un sistema basado en FPGAs y Aplicaciones de las FPGAs	5	2 Trabajo del estudiante: Tutorial de la Herramienta
3	**2.- Arquitectura de FPGAs** Recursos específicos: RAM, Mult y DSP, SRL, Procesadores, DCM, Transceivers, etc). Estándares de I/O y Encapsulados Xilinx vs Altera Lecciones aprendidas.	5	4 Trabajo del estudiante: Resolución de problemas. Elaboración de la Práctica de Laboratorio
4	Clase de problemas. Resolución de exámenes de años anteriores. Examen de Evaluación Continua Nº1	5	6 Trabajo del estudiante: Resolución de problemas. Elaboración de la Práctica de Laboratorio
5	3.- Herramientas y Algoritmos EDA Lenguajes de descripción de HW Diagrama de flujo de diseño. Simplificación. Síntesis, Particionado, Emplazamiento y Rutado. Uso de subexpresiones. Cofactoreo de Shanon Método de las fuerzas, Steimberg Mincut y Simulated Annealing Rutado global y detallado.	5	6 Trabajo del estudiante: Resolución de problemas. Elaboración de la Práctica de Laboratorio

Semana	Contenido	Horas presenciales	Horas no presenciales
	Bloques de la Herramienta EDA Xilinx. Principales opciones de un compilador de silicio.		
6	4.- Modelo de retardos Capacidad. Carga a corriente constante. Energía almacenada en un condensador. Valores típicos de C en circuitos integrados. Datos de una célula SC Retardos intrínsecos y extrínsecos. Fanin y Fanout. Señales globales (broadcasted) y cómo limitar el fanout de un circuito.	5	6 Trabajo del estudiante: Resolución de problemas. Elaboración de la Práctica de Laboratorio
7	4.- Modelo de retardos Árbol de Reloj. Sincronizadores de fase tipo PLL. Distorsión de Duty-Cycle. Herramientas de analisis de tiempos, caminos críticos y falsos. Deración con T y Vdd. Retardos asíncronos Retardo de pines, Pull-Up / Pull-Down, Bus keeper Lecciones Aprendidas	5	6 Trabajo del estudiante: Resolución de problemas. Elaboración de la Práctica de Laboratorio
8	5.- Sincronización y Pipeline Glitches en circuitos combinacionales. Registros de sincronización y Parámetros temporales de un FF Gated-clocks: “relojes gateados” Skew de reloj. Fallos de sincronización. Metaestabilidad. Principios de Diseño Síncrono.	5	6 Trabajo del estudiante: Resolución de problemas. Elaboración de la Práctica de Laboratorio
9	5.- Sincronización y Pipeline Velocidad (Throughput), latencia y aceleración (speed-up) Registros de skewing y deskewing Granularidad, Profundidad de Lógica. Coste de un pipeline. Ejemplos de circuitos segmentados y retiming Comunicación local y global (broadcasted).	5	6 Trabajo del estudiante: Resolución de problemas. Elaboración de la Práctica de Laboratorio)
10	6.- Diseño para Test (DFT) Técnicas Heurísticas: Observabilidad y Controlabilidad. Técnicas Sistemáticas: Modelo Stuck-at. Cobertura de fallos. Test de FSMs: Scan Path. JTAG. Herramienta ChipScope. Temperatura y fallos. DFT y Tolerancia a Fallos. Instrumental de Verificación.	5	8 Trabajo del estudiante: Resolución de problemas. Elaboración de la Práctica de Laboratorio
11	Clase de problemas. Resolución de exámenes de años anteriores.	5	8 Trabajo del estudiante:

Semana	Contenido	Horas presenciales	Horas no presenciales
	Examen de Evaluación Continua Nº2		Resolución de problemas. Elaboración de la Práctica de Laboratorio
12	7. ASPECTOS ECONÓMICOS DE LA TECNOLOGÍA FPGA Evolución de las FPGA y vida media de las compañías. Análisis del fabricante: Curva de aprendizaje, ciclo económico, erosión de precio y obsolescencia. Mercado de trabajo en FPGAs (español e internacional) Conferencias invitadas de expertos de la industria y visitas a compañías locales	3	6 Trabajo del estudiante: Semana de recuperación
13	Clase de problemas. Resolución de exámenes de años anteriores. Examen de Evaluación Continua Nº3	3	10 Trabajo del estudiante: Semana de recuperación Preparación examen final
14	Clase de problemas. Resolución de exámenes de años anteriores	3	10 Trabajo del estudiante: No hay práctica de Laboratorio. Preparación examen final
	Examen Final	3	21