



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

GUÍA DOCENTE DE LA ASIGNATURA ARITMÉTICA PARA EL PROCESAMIENTO DE SEÑAL

La presente guía docente corresponde a la asignatura Aritmética para el Procesamiento de Señal (APS), aprobada para el curso lectivo 2017-2018 en Junta de Centro y publicada en su versión definitiva en la página web de la Escuela Politécnica Superior. Esta guía docente de APS aprobada y publicada antes del periodo de matrícula tiene el carácter de contrato con el estudiante.



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

1. ASIGNATURA

Aritmética para el Procesamiento de Señal

1.1. Código

18496 del Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación

1.2. Materia

Sistemas Electrónicos

1.3. Tipo

Formación de Tecnología Específica en Sistemas Electrónicos

1.4. Nivel

Grado

1.5. Curso

4º

1.6. Semestre

2º

1.7. Número de créditos

6 créditos ECTS

1.8. Requisitos previos

Es muy recomendable haber cursado las asignaturas Circuitos Electrónicos Digitales, Fundamentos de Microprocesadores, Sistemas Electrónicos Digitales, Dispositivos Integrados Especializados y Sistemas de Control



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

1.9. Requisitos mínimos de asistencia a las sesiones presenciales

Esta asignatura dispone de dos métodos de evaluación: continua y no continua. Por defecto se supone que el estudiante opta por el método de evaluación continua, salvo que lo indique expresamente, o no cumpla con los requisitos para proseguir con la evaluación continua, que son:

- Superar las dos pruebas parciales que se realizarán durante el curso
- Obtener una evaluación positiva en al menos dos tercios de los problemas y ejercicios que se realizarán en clase
- Asistir a todas las sesiones de prácticas, permitiéndose un máximo de 2 faltas (4 horas) siempre que estén debidamente justificadas

Los detalles de los métodos de evaluación se encuentran en la sección 4 de esta guía.

Independientemente del método de evaluación que se siga, la asistencia a clase de teoría y prácticas es muy recomendable.

1.10. Datos del equipo docente

Nota: se debe añadir @uam.es a todas las direcciones de correo electrónico.

Coordinador:

Dr. Sergio López Buedo
Departamento de Tecnología Electrónica y de las Comunicaciones
Escuela Politécnica Superior
Despacho - Módulo: C-228 Edificio C - 2ª Planta
Teléfono: +34 91 497 2249
Correo electrónico: sergio.lopez-buedo
Horario de atención al alumnado: Petición de cita previa por correo electrónico.



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

1.11. Objetivos del curso

En esta asignatura se estudia los conceptos necesarios para entender las arquitecturas para el procesamiento de señal moderno. Se comienza aprendiendo la arquitectura y diseño de algunos procesadores convencionales y avanzados. Partiendo de lo estudiado en la asignatura de segundo curso “Fundamentos de microcomputadores” se estudian y analizan conceptos más avanzados en el diseño de procesadores incluyendo la interacción con la memoria. Una vez sentadas las bases se estudian las arquitecturas específicas para los procesadores digitales de señal (DSP), sobre todo las arquitecturas VLIW que lo soportan y los aspectos de la aritmética y sus circuitos subyacentes. Finalmente se presentan y discuten otras alternativas para el procesamiento DSP con arquitecturas hechas a medida, con énfasis en los circuitos reconfigurables tipo FPGAs.

Las competencias que se pretenden adquirir con esta asignatura son:

Específicas:

SE1: Capacidad de construir, explotar y gestionar sistemas de captación, transporte, representación, procesamiento, almacenamiento, gestión y presentación de información multimedia, desde el punto de vista de los sistemas electrónicos.

SE4: Capacidad para aplicar la electrónica como tecnología de soporte en otros campos y actividades, y no sólo en el ámbito de las Tecnologías de la Información y las Comunicaciones.

Los objetivos que se pretenden alcanzar con esta asignatura son:

OBJETIVOS GENERALES	
G1	Conocer arquitecturas de computadores segmentadas y avanzadas, las motivaciones detrás de la evolución tecnológica.
G2	Entender las peculiaridades, características y evolución de los procesadores digitales de la señal (DSP)
G3	Entender los fundamentos aritméticos del hardware para el procesamiento digital de la señal.
G4	Demostrar la influencia de la jerarquía de memoria y de otras evoluciones en las prestaciones de un sistema cómputo en general.
G5	Diseñar un procesador segmentado, utilizando lenguajes específicos de descripción hardware (VHDL).
G6	Diseñar un procesador digital de Señal (DPS) a medida utilizando herramientas EDA (Electronic Design Automation).



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

OBJETIVOS ESPECIFICOS POR TEMA	
TEMA 1.- Abstracciones, Tecnología y Rendimiento de los Sistemas de Computación.	
1.1.	Describir los principales aspectos tecnológicos que influyen en la evolución actual de los sistemas de cómputo.
1.2.	Reconocer el vocabulario básico de arquitectura de ordenadores e Identificar los elementos constitutivos de un sistema de computación.
1.3.	Entender el concepto de tiempo de ejecución de un sistema.
1.4.	Determinar las causas y efectos en el aumento en el rendimiento en una parte respecto del todo.
TEMA 2.- Procesadores segmentados.	
2.1.	Entender los conceptos básicos de arquitectura de ordenadores. Unidad Aritmético Lógica (ALU), bancos de registros, registros flip-flop y latch, periodo de reloj, arquitectura RISC y Harvard.
2.2.	Entender el concepto de segmentación (pipeline) y los conceptos asociados latencia y rendimiento (throughput).
2.3.	Indicar cómo se produce la segmentación de un procesador uniciclo para la ejecución solapada de instrucciones.
2.4.	Comprender las limitaciones del cauce de instrucciones segmentado y las causas de pérdidas de rendimiento.
2.5.	Entender cómo eliminar ó mitigar los conflictos ó riesgos estructurales, de control y de datos.
2.6.	Describir las técnicas para evitar detenciones. Adelantamiento de datos (Internal forwarding) y la predicción de saltos estáticas y dinámicas usando BTB.
TEMA 3.- Organización y Estructura de la Memoria:	
3.1.	Entender el concepto de jerarquía de memoria. Motivos por los que se organizan los diferentes niveles de almacenamiento en jerarquías.
3.2.	Reconocer la necesidad y utilidad de las memorias cachés y su organización en Completamente asociativa, Correspondencia directa y Asociativa por vías.
3.3.	Indicar los esquemas de funcionamiento de las cachés. Escritura directa (Write Through) con asignación en escritura y sin asignación en escritura. Post-escritura o escritura diferida.
3.4.	Entender los algoritmos de sustitución y los problemas de coherencia caché en sistemas multiprocesadores.
TEMA 4.- Técnicas avanzadas de paralelismo y procesadores digitales de señal (DSPs).	
4.1.	Entender el paralelismo a nivel de instrucciones (ILP) y la base de los procesadores superescalares.
4.2.	Conocer los conceptos básicos de los procesadores superescalares: políticas de emisión de instrucciones, renombramiento de registros, buffer de reordenación, unidad de retiro.
4.3.	Entender los procesadores donde el paralelismo es resuelto por el compilador en vez del hardware (procesadores VLIW).
4.4.	Comprender las arquitecturas VLIW (Very Long Instruction Word) y su aplicación en los procesadores digitales de señal (DSP).



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

TEMA 5.- Aritmética de Ordenadores	
5.1.	Conocer los formatos de representación de enteros, punto fijo y punto flotante más usados en los ordenadores modernos.
5.2.	Comprender las arquitecturas hardware para la implementación de las operaciones aritméticas básicas
5.3.	Conocer otros métodos de resolución de operaciones aritméticas, como evaluaciones y aproximaciones de funciones y CORDIC.
5.4.	Entender los las implicaciones en área, velocidad y consumo de los diferentes operadores aritméticos.
TEMA 6.- Arquitecturas para Procesamiento DSP.	
6.1.	Conocer las características de los principales procesadores digitales de señal (DSPs) del mercado. Características y Compiladores.
6.2.	Reconocer la necesidad y utilidad de poder generar DSPs a medida.
6.3.	Entender las características y particularidades de los DSPs diseñados a medida en circuitos de lógica programable (FPGAs).
6.4.	Comprender el funcionamiento de los generadores automáticos de DSPs. Ventajas, caracterisitcas y limitaciones.

1.12. Contenidos del programa

Programa Sintético

UNIDAD 1. Abstracciones, Tecnología y Rendimiento de los Sistemas de Computación.
UNIDAD 2. Procesadores Segmentados.
UNIDAD 3. Organización y Estructura de la Memoria:
UNIDAD 4. Técnicas avanzadas de paralelismo y procesadores digitales de señal (DSPs).
UNIDAD 5. Aritmética de Ordenadores
UNIDAD 6. Arquitecturas para Procesamiento DSP.

Programa Detallado

1. **Abstracciones, Tecnología y Rendimiento de los Sistemas de Computación.**
 - 1.1. Introducción
 - 1.2. Arquitectura y Rendimiento de un sistema de computación. Conceptos básicos
 - 1.3. El procesado digital de la Señal (DSP) como problema de computación.
 - 1.4. Perspectiva y evolución de la tecnología
2. **Procesadores segmentados.**
 - 2.1. Fundamentos de diseño de un procesador. Instrucciones, uniciclo, multiciclo. Ruta de datos y control
 - 2.2. Técnica de la segmentación. Funcionamiento ideal. Latencia y Rendimiento (Throughput)
 - 2.3. Diseño de un procesador con segmentación (Pipeline)
 - 2.4. Limitaciones del cauce de instrucciones segmentado
 - 2.4.1. Causas de pérdidas de rendimiento por detención del pipeline
 - 2.4.1.1. Conflictos por limitaciones estructurales
 - 2.4.1.2. Conflictos por riesgos de control



- 2.4.1.3. Conflictos por dependencia de datos
- 2.4.2. Técnicas para evitar detenciones
 - 2.4.2.1. Adelantamiento de datos (Internal forwarding)
 - 2.4.2.2. Predicción de saltos
- 3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual.**
 - 3.1. Jerarquía de memoria
 - 3.2. Principios básicos de la memoria caché
 - 3.2.1. Caché de varios niveles. Tipo de organización.
 - 3.2.2. Esquemas de funcionamiento.
 - 3.2.3. Algoritmos de sustitución.
 - 3.2.4. Coherencia caché. Ejemplos de cachés
- 4. Técnicas avanzadas de paralelismo y procesadores digitales de señal (DSP)**
 - 4.1. Paralelismo a nivel de instrucciones (ILP)
 - 4.2. Procesadores superescalares
 - 4.2.1. Políticas de emisión de instrucciones
 - 4.2.2. Renombramiento de registro.
 - 4.2.3. Implementación, buffer de reordenación, unidad de retiro
 - 4.3. Procesadores VLIW y Arquitecturas DSP.
 - 4.3.1. Planificación por el compilador
 - 4.3.2. Comparación de procesador VLIW vs Superscalar. Arquitectura, Codificación, Diferenciación de tareas
- 5. Aritmética de Ordenadores**
 - 5.1. Representaciones de enteros, punto fijo y punto flotante.
 - 5.1.1. Implicaciones desde el punto de vista de la arquitectura
 - 5.1.2. Conversores de representación
 - 5.2. Arquitectura hardware para las operaciones básicas
 - 5.2.1. Suma - resta
 - 5.2.2. multiplicación y suma-producto
 - 5.2.3. división y raíz cuadrada
 - 5.2.4. Operaciones por evaluación y aproximación de funciones.
 - 5.2.5. Otros métodos aritméticos. CORDIC.
 - 5.3. Evaluación de costes (área, velocidad, consumo) de diferentes operadores aritméticos
- 6. Arquitecturas para Procesamiento DSP.**
 - 6.1.1. DSPs comerciales de propósito general. Características. Compiladores.
 - 6.1.2. DSP a medida en FPGAs
 - 6.1.3. Generadores automáticos de DSPs
 - 6.1.4. Perspectiva y evolución de la tecnología DSP.



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

1.13. Referencias de consulta

1. Estructura y diseño de computadores: La interfaz software/hardware. D.A. Patterson y J.L. Hennessy. Ed. Reverte 2011. ISBN: 978-84-291-2620-4. Ref_UAM: INF/681.32.3/PAT.
2. Computer Organization And Design: The Hardware/Software Interface. D.A. Patterson y J.L. Hennessy. Morgan Kaufmann. 4ª Ed. 2009. ISBN: 978-01-237-4493-7. Ref_UAM: INF/681.3.06/PAT.
3. Estructura Y Diseño De Computadores: interficie circuitería- programación. D.A. Patterson y J.L. Hennessy. Vols. 1 y 2. Ed. Reverte 2000.
4. Guide to FPGA Implementation of Arithmetic Functions. J.-P. Deschamps, G. Sutter and E. Cantó. Ed: Springer 2012. ISBN: 978-94-007-2986-5.
5. Synthesis of Arithmetic Circuits FPGA, ASIC and Embedded Systems. J-P. Deschamps, G. Sutter, G. Bioul. John Wiley & Sons 2006, Ref_UAM: INF/B1265/DES
6. Computer Architecture: A Quantitative Approach. J.L. Hennessy y D.A. Patterson. Morgan Kaufmann. 4ª Ed. 2007.
7. Digital Design and Computer Architecture. D.M. Harris y S.L. Harris. Elsevier. 2007.
8. Arquitectura de computadores: Fundamentos de los Procesadores Superescalares, J.P. Shen, M.H. Lipasti. McGraw-Hill. 2006.
9. Arquitectura de Computadores: de los Microprocesadores a las Supercomputadoras. B. Parhami. McGraw Hill. 2007.
10. The Student's Guide to VHDL. P. Ashenden. Morgan Kaufman Pub. 1998. ISBN: 1558605207. Ref_UAM: INF/681.3.062/ASH.
11. The designer's guide to VHDL". P.J. Ashenden. Morgan Kaufmann. 2ª Ed. 2002.
12. Digital Signal Processing with Field Programmable Gate Arrays, Uwe Meyer-Baese, Springer Verlag 3rd edition 2007.

2. MÉTODOS DOCENTES

En primer lugar, la asignatura se impartirá mediante exposiciones teórico-prácticas, incluyendo demostraciones, resolución de problemas y ejercicios con la ayuda del ordenador. El profesor de la asignatura aportará una colección de transparencias y hojas de ejercicios, y propondrá una serie de lecturas relacionadas con los diferentes aspectos del temario

Durante la clase se realizarán ejercicios y problemas que ayuden a la comprensión de los conceptos que se presentan en cada tema. En caso de optar por el método



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

de evaluación continua, parte de estos problemas serán evaluados, según se detalla en el punto 4 de esta guía.

En segundo lugar se realizarán prácticas en laboratorio, en equipos de 2 estudiantes. Las prácticas consistirán en trabajo de preparación, análisis del problema, formulación de la solución, pruebas de validación y análisis de resultados. Al finalizar la práctica se hará una presentación final, que podrá incluir la presentación de un informe.

En tercer lugar se harán tutorías individuales o en grupos reducidos, cuya utilidad será para resolver dudas, proporcionar material adicional, y para orientar a los estudiantes en la realización de ejercicios o problemas.

En cuarto lugar, los estudiantes desarrollarán un proyecto de desarrollo de un sencillo sistema electrónico empotrado. Esta actividad se realizará en equipos de dos estudiantes, los mismos que en las prácticas de laboratorio.

En quinto y último lugar, los estudiantes dedicarán parte de su tiempo al estudio individual, que consistirá en preparar las clases, realizar los problemas y ejercicios propuestos, y leer la documentación proporcionada por el profesor.

2.1. Tiempo de trabajo del estudiante

		Nº de horas	Porcentaje
Presencial	Clases teórico-prácticas	42h (28%)	83 h (55.3%)
	Tutorías	9h (6%)	
	Prácticas (en laboratorio)	26h (17.3%)	
	Realización de pruebas finales	6h (4%)	
No presencial	Prácticas (preparación y finalización)	11.5 h (7.7%)	67 h (44.6%)
	Realización del proyecto	19.5 h (13%)	
	Estudio individual	36 h (24%)	
Carga total de horas de trabajo: 25 horas x 6 ECTS		150 h	

2.2. Métodos de evaluación y porcentaje en la calificación final

Existen dos métodos de evaluación en esta asignatura: continua y no continua.



Asignatura: Aritmética para el Procesamiento de Señal
Código: 18496
Centro: Escuela Politécnica Superior
Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Nivel: Grado
Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
Nº de créditos: 6 ECTS

Es imprescindible que el estudiante lea atentamente las normativas de evaluación de la EPS y de la UAM puesto que se aplicarán con rigor, concretamente en lo que se refiere a las copias.

Los pesos de los diferentes elementos de evaluación se han fijado de acuerdo a la memoria de verificación del título aprobada por la ANECA.

Método de evaluación continua, convocatoria ordinaria

Calificación = $0,2 \cdot \text{Prácticas} + 0,1 \cdot \text{Problemas y ejercicios} + 0,1 \cdot \text{Proyecto} + 0,1 \cdot \text{Parciales} + 0,5 \cdot \text{Examen final}$

Para hacer media, es necesario alcanzar 5,0 en cada uno de los apartados.

El estudiante será evaluado si se ha presentado al examen final, si se ha presentado a ambos parciales o si ha presentado dos o más prácticas. En caso contrario, recibirá la calificación de “no evaluado”.

Método de evaluación no continua, convocatoria ordinaria

Calificación = $0,2 \cdot \text{Prácticas} + 0,1 \cdot \text{Proyecto} + 0,7 \cdot \text{Examen final}$

Para hacer media, es necesario alcanzar 5,0 en cada uno de los apartados.

Convocatoria extraordinaria

Calificación = $0,2 \cdot \text{Prácticas} + 0,1 \cdot \text{Proyecto} + 0,7 \cdot \text{Examen final}$

Para hacer media, es necesario alcanzar 5,0 en cada uno de los apartados. Si las prácticas y/o el proyecto no se han superado durante el periodo ordinario, se establecerá un periodo extraordinario para la entrega de los mismos, que podrán ser iguales o diferentes a los propuestos durante el curso para la convocatoria ordinaria.

Política de guardado de notas

La calificación de las prácticas y/o proyecto se guardará para el curso siguiente siempre que sea igual o mayor a 7,0.

La calificación del examen final se guardará de la convocatoria ordinaria a la extraordinaria del mismo año solo en el caso de haber suspendido las prácticas y/o el proyecto en la convocatoria ordinaria.



Asignatura: Aritmética para el Procesamiento de Señal
 Código: 18496
 Centro: Escuela Politécnica Superior
 Titulación: Grado en Ingeniería de Tecnologías y Servicios de Telecomunicación
 Nivel: Grado
 Tipo: Formación de Tecnología Específica en Sistemas Electrónicos
 Nº de créditos: 6 ECTS

2.3. Cronograma

Semana	Actividades Presenciales	Actividades No Presenciales
1ª	<ul style="list-style-type: none"> ✓ Presentación de la asignatura. ✓ U1. Abstracciones, Tecnología y Rendimiento de los Computadores. 	<ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U1.
2ª	<ul style="list-style-type: none"> ✓ U2. Procesadores segmentados ✓ Tutoría Conjunta U1. ✓ P1. 	<ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U1 ✓ Resolución de problemas de U1.
3ª	<ul style="list-style-type: none"> ✓ U2. Procesadores segmentados ✓ Tutoría Conjunta U2. ✓ P1. 	<ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U2.
4ª	<ul style="list-style-type: none"> ✓ U2. Procesadores segmentados ✓ Tutoría Conjunta U2. ✓ P1. 	<ul style="list-style-type: none"> ✓ Entrega P1. ✓ Resolución de problemas de U2. ✓ Estudio del material propuesto sobre U2.
5ª	<ul style="list-style-type: none"> ✓ U3. Organización y Estructura de la Memoria ✓ Tutoría Conjunta U2. ✓ P2. 	<ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U2. ✓ Resolución de problemas de U2.
6ª	<ul style="list-style-type: none"> ✓ U3. Organización y Estructura de la Memoria ✓ Tutoría Conjunta U3. ✓ P2. 	<ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U3. ✓ Resolución de problemas de U3.
7ª	<ul style="list-style-type: none"> ✓ U3. Organización y Estructura de la Memoria ✓ Tutoría Conjunta U3. ✓ P2. 	<ul style="list-style-type: none"> ✓ Entrega P2. ✓ Resolución de problemas de U3. ✓ Estudio del material propuesto sobre U3.
8ª	<ul style="list-style-type: none"> ✓ U4. Técnicas avanzadas de paralelismo y DSP ✓ Tutoría Conjunta U3. ✓ P3. 	<ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U3. ✓ Resolución de problemas de U3.
9ª	<ul style="list-style-type: none"> ✓ U4. Técnicas avanzadas de paralelismo y DSP ✓ Tutoría Conjunta U4. ✓ P3. 	<ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U4. ✓ Resolución de problemas de U4.
10ª	<ul style="list-style-type: none"> ✓ U4. Técnicas avanzadas de paralelismo y DSP ✓ Tutoría Conjunta U4. ✓ P3. 	<ul style="list-style-type: none"> ✓ Entrega P3 ✓ Resolución de problemas de U4. ✓ Estudio del material propuesto sobre U4.
11ª	<ul style="list-style-type: none"> ✓ U5. Aritmética de Ordenadores ✓ Tutoría Conjunta U5. ✓ P4. 	<ul style="list-style-type: none"> ✓ Resolución de problemas de U5. ✓ Estudio del material propuesto sobre U5
12ª	<ul style="list-style-type: none"> ✓ U5. Aritmética de Ordenadores ✓ Tutoría Conjunta U5. ✓ P4. 	<ul style="list-style-type: none"> ✓ Resolución de problemas de U5. ✓ Estudio del material propuesto sobre U5
13ª	<ul style="list-style-type: none"> ✓ U6. Arquitecturas para Procesamiento DSP. ✓ Tutoría Conjunta U5. ✓ P4. 	<ul style="list-style-type: none"> ✓ Estudio del material propuesto sobre U5. ✓ Resolución de problemas de U5.
14ª	<ul style="list-style-type: none"> ✓ U6. Arquitecturas para Procesamiento DSP. ✓ Tutoría Conjunta U5. ✓ P4. 	<ul style="list-style-type: none"> ✓ Entrega P4 ✓ Estudio del material propuesto sobre la U5. ✓ Resolución de problemas de las U5.
XX/05/2017	➤ Examen Final Ordinario	✓ Preparación del Examen final.
XX/06/2017	➤ Examen Final Extraordinario	✓ Preparación del Examen final.